

# CURRENT GENERATING CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT, ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

**Publication number:** JP2003150115

**Publication date:** 2003-05-23

**Inventor:** KASAI TOSHIYUKI

**Applicant:** SEIKO EPSON CORP

**Classification:**

- international: G09G3/32; G09G3/32; (IPC1-7): G09G3/30; G09G3/20

- european: G09G3/32A

**Application number:** JP20020223164 20020731

**Priority number(s):** JP20020223164 20020731; JP20010260115 20010829

**Also published as:**

EP1288905 (A2)

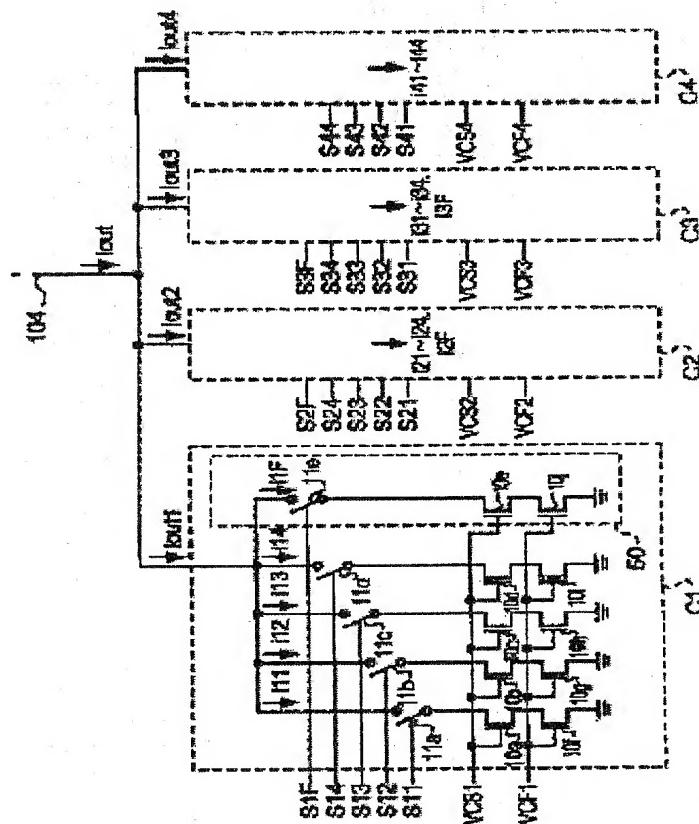
US2003058199 (A1)

EP1288905 (A3)

[Report a data error here](#)

## Abstract of JP2003150115

**PROBLEM TO BE SOLVED:** To provide a current generating circuit which has a simple constitution, improved durability and a low power consumption. **SOLUTION:** A circuit block C1 generates a sub-current  $I_{out1}$  by appropriately selecting element currents  $i_{11}$  to  $i_{14}$  and  $i_{1F}$  in accordance with data (bits) S11 to S14 and S1F. Similarly, a circuit block C2 generates a sub-current  $I_{out2}$  by appropriately selecting element currents  $i_{21}$  to  $i_{24}$  and  $i_{2F}$  in accordance with bits S21 to S2Js4 and S2F. A circuit block C3 generates a sub-current  $I_{out3}$  by appropriately selecting element currents  $i_{31}$  to  $i_{34}$  and  $i_{3F}$  in accordance with bits S31 to S34 and S3F. A circuit block C4 generates a sub-current  $I_{out4}$  by appropriately selecting element currents  $i_{41}$  to  $i_{44}$  in accordance with bit S41 to S44. Then, these sub-currents  $I_{out1}$ ,  $I_{out2}$ ,  $I_{out3}$  and  $I_{out4}$  are combined to generate a main current  $I_{out}$ .



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-150115

(P2003-150115A)

(43)公開日 平成15年5月23日 (2003.5.23)

(51)Int.Cl. G09G 3/30 S/20	検索記号 G09G 3/30 S 1 1 S 1 2 S 2 2	F 1 G09G 3/30 3/20	コード(表示) J ECD 80 K 8 1 1 A 8 1 2 P 8 2 2 Q
新規特許未請求 請求項の範囲 CL 1至18に記載			
(21)出願番号 特願2002-223164(P2002-223(64))	(71)出願人 セイエー・エーピン株式会社 東京都墨田区両国橋2丁目4番1号		
(22)出願日 平成14年7月31日(2002.7.31)	(72)発明者 阿古 利英 墨田区駒込市大町5丁目3番5号 セイエー・エーピン株式会社		
(31)優先権主張番号 特願2001-280115(P2001-280(15))	(73)代理人 100095728 岸理二 上野 加賀 (外2名) スクーム(9-5) ECD 80 A001 H805 D028 E229 F211 G019 J102 J103 J104 J106 X007 K143 K147		
(32)優先日 平成13年8月23日(2001.8.23)			
(33)優先権主張国 日本 (JP)			

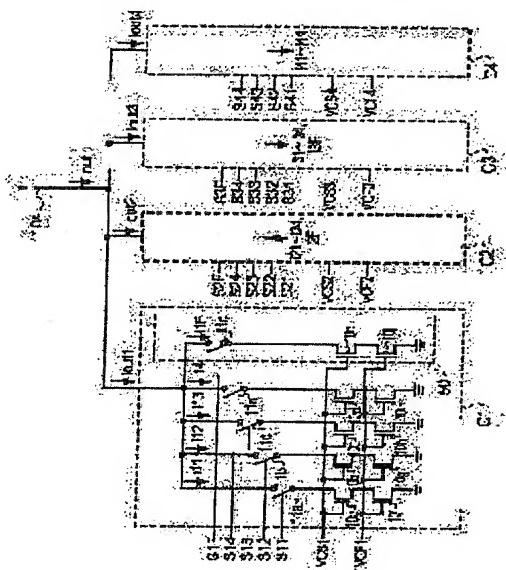
(54)【発明の名称】 増倍生成回路、半導体装置回路、電気光学装置および電子機器

## (57)【要約】

【課題】 増倍がシンプルで耐久性に優れ、かつ消費電力の少ない電流生成回路を提供する。

【解決手段】 回路ブロックC1は、要素電流I1～I11を、データ(ビット)S11～S14、S1Fに応じて適宜選択することによって副電流Iout1を生成する。同様に、回路ブロックC2は、要素電流I21～I24、I2Fを、ビットS21～S24、S2Fに応じて適宜選択することによって副電流Iout2を生成し、回路ブロックC3は、要素電流I31～I34、I3Fを、ビットS31～S34、S3Fに応じて適宜選択することによって副電流Iout3を生成

し、回路ブロックC4は、要素電流I41～I44を、ビットS41～S44に応じて適宜選択することによって副電流Iout4を生成する。そして、これらの副電流Iout1、Iout2、Iout3、Iout4を合成して、主電流Ioutとする。



### 【特許請求の範囲】

【請求項1】 個数の要素電流の中から、入力されるデジタルデータに応じた要素電流を選択することにより副電流を出力する回路ブロックの複数個と、

前記副電流を合成することにより生電流を出力する合成回路などを備えることを特徴とする電流生成回路。

【請求項2】 請求項1に記載の電流生成回路において、

一の回路ブロックは、前記複数の要素電流の各々を、それで利得係数の異なるトランジスタにより生成することを特徴とする電流生成回路。

【請求項3】 請求項2に記載の電流生成回路において、

前記トランジスタには、その利得係数の比が二進加算となる組み合わせのものが含まれることを特徴とする電流生成回路。

【請求項4】 請求項2または3に記載の電流生成回路において、

前記トランジスタの各々は、電界効果形トランジスタであれ、

一の回路ブロックにおけるトランジスタのゲート電圧には、共通の基準電圧が供給されることを特徴とする電流生成回路。

【請求項5】 副電流を生成する回路ブロックの複数個と、

各回路ブロックにより生成された副電流を合成することにより生電流を出力する合成回路などを備える。

回路ブロックの各々は、入力されるデジタルデータが取り得る範囲を分割した範囲の各々に割り当てられ、一の回路ブロックは、

デジタルデータの値が該回路ブロックに割り当てられた範囲以下である場合、略ゼロの副電流を生成し、

デジタルデータの値が該回路ブロックに割り当てられた範囲にある場合、該デジタルデータに応じて線直線特性にて副電流を生成し、

デジタルデータの値が該回路ブロックに割り当てられた範囲以上である場合、該一のブロックに対して上位側に隣接するブロックに割り当てられたデジタルデータの範囲の最低端に相当する副電流を生成することを特徴とする電流生成回路。

【請求項6】 回路ブロックにおける暗面積特性を、各回路ブロックに対し個別に設定可能とすることを特徴とする請求項5に記載の電流生成回路。

【請求項7】 請求項1から6までのいずれかに記載の電流生成回路において、

前記生電流の下限値を規定するオフセット電流経路を備えることを特徴とする電流生成回路。

【請求項8】 請求項1から7までのいずれかに記載の電流生成回路を集積化したことを持続とする半導体集積回路。

【請求項9】 複数の走査線と、複数のデータ線と、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、前記走査線および前記データ線の交叉部に配置される電気光学素子とを備える電気光学装置であって、

前記データ線駆動回路は、請求項1から7までのいずれかに記載の電流生成回路を含み、該電流生成回路による生電流を一のデータ線に供給することを特徴とする電気光学装置。

【請求項10】 請求項9に記載の電気光学装置において、

前記電気光学素子は、電流によって駆動される被駆動素子であることを特徴とする電気光学装置。

【請求項11】 請求項10に記載の電気光学装置において、

前記被駆動素子は、有機エレクトロルミネンセンス素子であることを特徴とする電気光学装置。

【請求項12】 請求項11に記載の電気光学装置であって、

前記有機エレクトロルミネンセンス素子の輝度階調を規定するデータを記憶するメモリと、

前記メモリからデータを読み出して、前記デジタルデータとして前記データ線駆動回路に供給する制御回路などを備えることを特徴とする電気光学装置。

【請求項13】 請求項1から12までのいずれかに記載の電気光学装置であって、

動作の基準となる基準動作信号を供給する発振回路を有することを特徴とする電気光学装置。

【請求項14】 請求項8から13までのいずれかに記載の電気光学装置が実装されたことを特徴とする電子機器。

### 【発明の詳細な説明】

#### 【0.0.0.1】

【発明の属する技術分野】 本発明は、例えば有機EL (Electronic Luminescence) パネルなどの表示パネルの駆動に用いられる電流生成回路に関して、特に表示パネルにおいて輝度を指示するデジタルデータに対して非線形特性の電流を生成する電流生成回路に関する。

#### 【0.0.0.2】

【従来の技術】 一般に、液晶パネルでは、画素における階調(輝度)の変化は、画素に印加される電圧に対して比例する関係にはない。このため、液晶パネルでは、駆動するに際して、隕形で指示される画素の階調(一般には、デジタルデータで規定される)に対し非線形特性の電圧を出力し、これにより、見た目の階調変化が隕形となるような構成となっている。一方で、人間の視覚特性は対数的または指数的な性質を持つことが一般に知られており、階調としての隕度が隕形に変化していくも、人間の目にはそれが隕形的に変化しているようには感じられないことがある。こうした事情から、電気光学

装置においては対数的または指数的な階調特性を持たせることにより、人間の見た目としての線形特性を得るといったことがしばしば行われる。こうした一連の処理を総して補正と呼ぶことがある。

【0003】近年、有機ELパネルが、次世代の表示パネルとして注目されている。この理由は、有機ELパネルにおいて電気光学素子として用いられる有機EL素子が単に光の透過性を変化させる液晶素子とは異なり、それ自体が発光する自発光素子であるからである。このため、有機ELパネルは、液晶パネルよりも視野角が広く、高コントラストであり、応答速度が速いなどの優れた特性を有する。

【0004】ここで、有機EL素子は、電圧駆動型の液晶素子とは異なり、いわゆる電流駆動型の素子であるため、駆動回路では、画素の階調に応じた電圧ではなく、電流を生成する必要がある。このような電流を生成する電流生成回路の従来例としては、例えば、図24に示されるような構成が挙げられる。この図において、電流生成回路は、画素の階調を指示する6ビットのデジタルデータ(00~05)の各々に対して、トランジスタ20e~20fを、それをスイッチングすることによって要素電流I1~I6を選択するとともに、選択した要素電流を合成して階調に応じた電流Ioutを得る。という電流加算型D/Aコンバータである。

【0005】

【発明が解決しようとする課題】しかししながら、有機EL素子に対して、液晶と同様に、対数的または指数的な階調特性を持たせるという意味での補正が必要となるが、図24に示した電流生成回路では、画素の階調を指示する6ビットのデジタルデータに対して得られる出力電流が線形特性であるため、このままででは、十分な補正ができない。このような電流生成回路を用いて非線形特性の電流を生成するには、例えば、複数の電圧源を用意して、トランジスタ20e~20fのゲート電流を個別に制御する仕組みが必要となるが、この仕組みでは、階調の数が増加するにつれて必要な電圧源の数も増えるので、回路構成が複雑化する。一般に、電圧源の数が増えると、電圧生成に伴い消費される電力も増大するので、モバイル型のパーソナルコンピュータや、携帯電話などの低消費電力が強く求められる電子機器への適用が期待される有機ELパネルには、上記仕組みは、必ずしも好ましいとは言うことかできない。本発明は、このような事情に鑑みてなされたもので、その目的とするところは、回路構成がシンプルで、かつ、消費電力が少ない電流生成回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するためには、本発明は、複数の要素電流の中から、入力されるデータシグナルデータに応じて要素電流を選択することにより副電流を出力する回路ブロックの複数個と、前記副電流

を合成することにより主電流を出力する合成回路とを備えることを特徴とする。ここで、一の回路ブロックは、前記複数の要素電流の各々を、それぞれ利得係数の異なるトランジスタにより生成することが好ましい。また、前記トランジスタには、その利得係数の比が二進加重となる組み合わせのものが含まれることが好ましい。さらに、前記トランジスタの各々は、電界効果形トランジスタであり、一の回路ブロックにおけるトランジスタのゲート電極には、共通の基準電圧が供給されることが望ましい。

【0007】同様に、上記目的を達成するために、本発明は、副電流を生成する回路ブロックの複数個と、各回路ブロックにより生成された副電流を合成することにより主電流を出力する合成回路とを備え、回路ブロックの各々は、入力されるデジタルデータが取り得る範囲を分割した範囲の各々に割り当てられ、一の回路ブロックは、デジタルデータの値が該回路ブロックに割り当たられた範囲以下である場合、既ゼロの副電流を生成し、デジタルデータの値が該回路ブロックに割り当たられた範囲にある場合、該デジタルデータに応じて略直線特性にて副電流を生成し、デジタルデータの値が該回路ブロックに割り当たられた範囲以上である場合、該一のブロックに対して上位側に接続するブロックに割り当たられたデジタルデータの範囲の最低値に相当する副電流を生成することを特徴とする。

【0008】ここで、回路ブロックにおける略直線特性を、各回路ブロックに対し個別に設定可能とすることが好ましい。また、前記主電流の下限値を規定するオフセット電流経路を備えることも好ましい。電流生成回路を実体化することも好ましい。

【0009】さらにもう一つ、複数の走査線と、複数のデータ線と、前記主電流を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、前記走査線および前記データ線の交差部に配置される電気光学素子とを備える電気光学装置であって、前記データ線駆動回路は、上記電流生成回路を含み、該電流生成回路による主電流を一のデータ線に供給することも好ましい。このような電気光学装置において、前記電気光学素子は、電流によって駆動される披縫駆動素子であることが好ましい。なお、前記披縫駆動素子の一端端としては、有機エレクトロルミネッセンス素子である。

【0010】電気光学装置にあっては、前記有機エレクトロルミネッセンス素子の輝度階調を規定するデータを記憶するメモリと、前記メモリからデータを読み出して、前記デジタルデータとして前記データ線駆動回路に供給する制御回路とを備えることが好ましい。また、上記電気光学装置であって、動作の基準となる基準動作信号を供給する発振回路を有することも好ましい。さらに、電子機器は、このような電気光学装置が実装されたことが望ましい。

#### 【00011】

【発明の実施の形態】以下、図面を参考して本発明の実施形態について説明する。図1は、実施形態に係る電気光学装置の概略構成を示すブロック図である。この図に示されるように、実施形態に係る電気光学装置100には、複数の走査線102と複数のデータ線104とが互いに直交して(垂直的には絶縁されている)並設されるとともに、その交差部分に画素回路110を備える表示パネル1と、m本の走査線102の各々を駆動する走査線駆動回路2と、n本のデータ線104の各々を駆動するデータ線駆動回路3と、表示すべき画像の画素輝度階調を規定するデジタルデータDPIxを記憶するためのメモリ4と、各部を制御する制御回路5と、各部を同期動作させるための基準信号や制御信号などを生成する発振回路6と、各部に電源を供給する電源回路7とを含んで構成されている。

【00012】このうち、メモリ4に記憶されるデジタルデータDPIxは、コンピュータなどの外部機器から供給されるとともに、画素回路110に含まれる有機EL素子の輝度を、画素回路110毎に規定する。ここで、本実施形態では説明の便宜上、デジタルデータDPIxを6ビットとして、1画素あたり「0」から「111」までの64(2の6乗)階調を表現するものとする。

【00013】一方、走査線駆動回路2は、走査線102を一本ずつ順番に選択するための走査信号Y1、Y2、Y3、…、Ymを生成するものであり、詳細には、図3に示されるように、1垂直走査期間(TFT)の最初のタイミングから、1水平走査期間(H)に相当する幅のパルスを1行目の走査線102に走査信号Y1として供給し、以降、このパルスを順次シフトして、2、3、…、m行目の走査線102の各々に走査信号Y2、Y3、…、Ymとして供給する。ここで、一般的に、(1は、1至1至mを満たす整数)行目の走査線102に供給される走査信号Y1がHレベルになると、当該走査線102が選択されたことを示す。また、走査線駆動回路2は、走査信号Y1、Y2、Y3、…、Ymにくわえて、その論理レベルを反転した信号を、それぞれ発光制御信号Vc1、Vc2、Vc3、…、Vcmとして生成して、表示パネル1に供給するが、図1においては図示を省略している。

【00014】データ線駆動回路3は、本件の特徴部分である電流生成回路をデータ線104毎に有し、選択された走査線102に位置する画素回路110の各々に対し階調輝度を指示する電流を、データ線104を介して与えるものである。詳細には、データ線駆動回路3は、例えば、メモリ4から読み出されたデジタルデータDPIxに応じた電流を電流生成回路によって生成し、当該電流を、選択された走査線102に位置する画素回路110の各々にデータ線104を介して与えるものである。なお、電流生成回路の詳細については後述するものとする。

【00015】制御回路5は、走査線駆動回路2による走査線102の選択を制御するとともに、この選択に同期してメモリ4からデジタルデータを読み出して、データ線駆動回路3に供給する。したがって、選択された走査線102に位置する画素回路110には、その有機EL素子の輝度に応じた電流がデータ線104を介して与えられる構成となっている。

【00016】なお、電気光学装置100における符号1～7の各要素は、それそれが独立した部品により構成される場合や、一部または全部が一體となって構成される場合(例えば、走査線駆動回路2およびデータ線駆動回路3が一體となって集成化される場合や、表示パネル1を除く要素の一部または全部をプログラマブルASICチップで構成するとともに、これらの要素の機能を、当該ASICチップに書き込まれたプログラムによりソフトウェア的に実現する場合)など、実際には様々な形態で製品化され得る。

【00017】次に、電気光学装置100における画素回路110について説明する。図2は、その構成を示す回路図である。なお、すべての画素回路110は、互に同一構成であるが、ここでは走査信号を一般化して説明するのに、1行目の走査線102と、ある一列のデータ104との交差部分に設けられる画素回路110にについて説明することにする。

【00018】この図に示されるように、該走査線102と該データ線104との交差部分に設けられた画素回路110には、4個の薄膜トランジスタ(FET)が構成される。以下「TFT1」と省略する。TFT1、TFT2、TFT3、TFT4、TFT5、TFT6と、容量素子1120と、有機EL素子1130とが備えられる。このうち、nチャネル型のTFT1～TFT2のソース電極は、電源におりる高位側の電圧Vddが印加された電源線109に接続される一方、そのドレイン電極は、nチャネル型TFT1～TFT4のドレイン電極、nチャネル型TFT5～TFT6のドレイン電極およびpチャネル型TFT1～TFT6のソース電極にそれぞれ接続されている。

【00019】容量素子1120の一端は、上記電源線109に接続される一方、その他端は、TFT1～TFT2のゲート電極およびTFT3～TFT6のトレンジン電極にそれぞれ接続されている。TFT1～TFT4のゲート電極は走査線102に接続され、そのソース電極は、データ線104に接続されている。また、TFT5～TFT6のゲート電極は走査線102に接続されている一方、TFT5～TFT6のゲート電極は、発光制御線108に接続され、そのソース電極は、有機EL素子1130の陽極に接続されている。ここで、発光制御線108については、走査線駆動回路2による発光制御信号Vc1が供給される。また、有機EL素子1130については、陽極と陰極の間に有機モルタル層が挟持されて、順方向電流に応じた輝度にて発光する構成となっている。なお、「有機EL素

子 113 口の陰極は、画素回路 110 のすべてにわたって共通の電極であり、電源における低位（基準）電位となっている。

【0020】このような構成において、走査線 102 に供給される走査信号 Y1 が H レベルになると、n チャネル型 TFT 110.8 が、ソース電極およびドレイン電極の間ににおいて導通（オン）状態となるので、TFT 110.2 は、ゲート電極とドレイン電極とが互いに接続されたダイオードとして機能する。走査線 102 に供給される走査信号 Y1 が H レベルになると、n チャネル型 TFT 110.4 も、TFT 110.8 と同様に導通状態となるので、結果、電流生成回路 30 による電流 Iout が、電源線 109 → TFT 110.2 → TFT 110.4 → データ線 104 という経路で流れるとともに、そのときニ TFT 110.2 のゲート電極の電位に応じた電荷が寄生素子 112.0 に蓄積される。

【0021】走査信号 Y1 が L レベルになると、TFT 110.4、110.8 はともに非導通（オフ）状態となるが、寄生素子 112.0 における電荷の蓄積状態は変化しないので、TFT 110.2 のゲート電極は、電流 Iout が流れたときの電圧に保持されることになる。また、走査信号 Y1 が L レベルになると、発光制御信号 VD1 が H レベルとなる。このため、n チャネル型の TFT 110.6 がオンし、TFT 110.2 のソース・ドレイン間に、そのゲート電圧に応じた電流が流れ。詳細には、この電流は、電源線 109 → TFT 110.2 → TFT 110.6 → 有機 EL 素子 1113.0 という経路で流れ。このため、有機 EL 素子 1113.0 は、該電流値に応じた輝度で発光することになる。

【0022】ここで、有機 EL 素子 1113.0 に流れる電流値は、TFT 110.2 のゲート電極における電圧で定まるが、そのゲート電極の電圧は、H レベルの走査信号によって電流 Iout がデータ線 104 に流れたときに、寄生素子 112.0 によって保持された電圧である。このため、発光制御信号 VD1 が H レベルにならざりきに、有機 EL 素子 1113.0 に流れる電流は、直前に流れた電流 Iout に一致する。したがって、仮に、画素回路 110 のすべてにわたって TFT 110.2 の特性にパラッキが生じても、各画素回路 110 に含まれる有機 EL 素子 1113.0 に同じ大きさの電流を供給することができるので、該パラッキに起因する表示ムラを抑えることが可能となる。

【0023】ここでは、1 個の画素回路 110 についてのみに限って説明しているが、1 行目の走査線 102 は、m 個の画素回路 110 に共用されているので、走査信号 Y1 が H レベルになると、共用される m 個の画素回路 110 においても同様な動作が実行されることになる。さらに、走査信号 Y1、Y2、Y3、…、Yn は、図 2 に示されるように順番に排他的に H レベルとなるので、これによって、すべての画素回路 110 において

は、その TFT 110.2 のゲート電極は、その有機 EL 素子 1113.0 の輝度に応じた電流 Iout が流れたときの電圧に、寄生素子 112.0 によって保持されることになる。なお、各トランジスタ 110.2、110.4、110.6、TFT 110.8 のチャネル型は、必ずしも上述した通りである必要はない。実際にには、または n チャネル型を選択することが可能である。

【0024】次に、本件の特徴部分である電流生成回路について説明する。図 3 は、データ線駆動回路 3 に含まれる電流生成回路 30 の一列分の構成を示すブロック図である。この図において、交換回路 31.0 は、メモリ 4、(図 1 参照) から読み出された 6 ビットのデジタルデータ (DS ~ D0) を、19 ビットのデジタルデータに交換するものである。ここで、19 ビットのデジタルデータについては、次の 4 つの組。詳細には、第 1 組として S11 ~ S14、S1F の 5 ビット、第 2 組として S21 ~ S24、S2F の 5 ビット、第 3 組として S31 ~ S34、S3F の 5 ビット、第 4 組として S41 ~ S44 の 4 ビット) に、それぞれ大別することができる。このうち、第 1 組が回路ブロック C1 に、第 2 組が回路ブロック C2 に、第 3 組が回路ブロック C3 に、第 4 組が回路ブロック C4 に、それでわね供給される。

【0025】交換回路 31.0 の実施内容について説明すると、6 ビットのデジタルデータ (DS ~ D0) で示される十進値 (D5 を最上位ビットとする) の階調が取り得る範囲は、「0」～「53」の 54 階であるが、十進値の階調が「0」～「15」であれば、交換回路 31.0 は、図 3 に示されるような 19 ビットのデジタルデータに交換して出力する。詳細には、階調の「0」から「15」までの歩進にあわせて、ビット S11 ~ S14 で示される十進値 (S14 を最上位ビットとする) も同じように、「0」から「15」まで順番に歩進する一方、他のビットがすべて 2 進で「0」となるように交換される。次に、十進値の階調が「15」～「31」であれば、交換回路 31.0 は、図 3 に示されるような 19 ビットのデジタルデータに交換して出力する。詳細には、階調の「15」から「31」までの歩進にあわせて、ビット S21 ~ S24 で示される十進値 (S24 を最上位ビットとする) も、「0」から「15」まで順番に歩進する一方、ビット S31 ~ S34、S3F がすべて 2 進で「1」となり、他のビットがすべて 2 進で「0」となるように交換される。続いて、十進値の階調が「32」～「47」であれば、交換回路 31.0 は、図 3 に示されるような 19 ビットのデジタルデータに交換して出力する。詳細には、階調の「32」から「47」までの歩進にあわせて、ビット S31 ~ S34 で示される十進値も、「0」から「15」まで順番に歩進する一方、ビット S41 ~ S44、S4F がすべて 2 進で「1」となり、他のデータがすべて 2 進で「0」となるように交換される。そして、十進値の階調が「48」～「53」であれば、交換回路 31.0 は、

図8に示されるような19ビットのデジタルデータに変換して出力する。詳細には、階調の「4.B」から「6.3」までの歩進にあわせて、ビットS41～S44で示される十進値(S44を最高位ビットとする)も「0」から「1.5」まで自由に歩進する一方、ビットS11～S14、S1F～S21～S24、S2F、S31～S34、S3Fが、すべて2進で表示されるよう上に変換される。

【図9】図9は、このような交換回路3-10を、論理回路で実現する場合の一例を示す図である。もちろん、このような交換回路3-10についても、論理回路ではなく、手の交換内容を記憶したテーブルにより表現しても良い。

【図02ブ】説明を図4にに戻すと、基準電圧生成回路320は、電源回路7により生成された電圧V1～V4から基準電圧VCS1～VCS4およびVCF1～VCF4を、それぞれ生成する。ここで、基準電圧生成回路320は、例えば電圧V1から基準電圧VCS1、VCF1を、図1ロに示されるようなガルントミラー回路により生成する。この図におけるガルントミラー回路の入力側ロは、図14における電源回路7から出力される電圧V1が供給される一方、基準電圧VCS1およびVCF1が出力側から取り出されている。なお、同様なガルントミラー回路によって、電圧V2から基準電圧VCS2およびVCF2が、電圧V3から基準電圧VCS3およびVCF3が、電圧V4から基準電圧VCF4が、それぞれ生成される。

[図2-28] 次に、回路プロックGで比較ビットのデジタルデータ(00~05)で示される十進値の階調、「0」～「5」のうち、「0」～「1」に割り当てられたものであり、その詳細については図1-1に示されるように、変換回路3-1ロードにより変換された19ビットのデータのうち、ビットS11~S14、S1Fにしたがってスイッチ1-1a～1-1d、1-1eのオンオフを制御してFET(Field-Effect Transistor)1-1b～1-1e、1-1f～1-1gが出力する互反電流Iout1～I14、J1Fを合成した副電流Iout1を生成する。

[0029] ここで、FETのゲート電圧およびノース電圧に一定の電圧を供給した場合にFETに流れる電流を利得係数 $\beta$ と定義したとき、FET 1.0.1～1.0.1は、利得係数 $\beta$ の比が $1.0.1 : 1.0.2 : 1.0.3 : 1.0.4 = 1 : 2 : 4 : 8 = 1$ となるように設定されている。また、FET 1.0.6～1.0.6のゲート電圧には基準電圧V<sub>CST</sub>が、FET 1.0.1～1.0.1のゲート電圧には基準電圧V<sub>CF</sub>が、それぞれ共通に供給され、これにより至る電流 $I_1 \sim I_{14}$ の大きさの比は、 $1 : 1 : 2 : 4 : 8 : 1$ の関係となる。なお、回路ロックC1において、FETの構成がFETのドロップドロップとFETのドロップドロップの2段で構成されるというのは、出力電流 $I_{out}$ の特性を安定化させる等の目的からである。したがって、原則的にはFET 1.0.

$f \sim 10$  のみの構成として、これと同等の機能を有する回路を構成することができる。

【図0020】回路ブロックC2は、デジタルデータ(00~05)で示される十進値の階調「0」～「[53]」のうち、「[15]」～「[31]」に割り当てられたものであり、回路ブロックC1と同等である。すなわち、回路ブロックC2は、変換回路31Dにより実換された19ビットのデータのうち、ビットS21～S24、S2Fにしたがって要素電流I21～I24、I2Fを適宜選択するとともに、これららの選択した要素電流を合成して副電流Iout2を生成する。回路ブロックC3は、デジタルデータ(00~05)で示される十進値の階調「0」～「[63]」のうち、「[32]」～「[47]」に割り当てられたものであり、回路ブロックC1と同等である。すなわち、回路ブロックC3は、変換回路30Dにより実換された19ビットのデータのうち、ビットS31～S34、S3Fにしたがって要素電流I31～I34、I3Fを適宜選択するとともに、これららの選択した要素電流を合成して副電流Iout3を生成する。回路ブロックC4は、デジタルデータ(00~05)で示される十進値の階調「0」～「[53]」のうち、「[48]」～「[63]」に割り当てられたものであり、回路ブロックC1におけるスイッチ1-FET10c、T0c、T0rに相当するもの（破線で囲まれた回路）が存在しない点以外、回路ブロックC1と同等であり、ビットS41～S44にしたがって要素電流I41～I44を適宜選択するとともに、これららの選択した要素電流を合成して副電流Iout4を生成する。

「[0033]」ここで、回路ブロックC-1において破線50で囲まれた回路は、要素電流11Fを選択するための回路である。この要素電流11Fは、デジタルデータ(05～90)で示される十進値の階調「16」(当該回路ブロックC-1の上位側)に隣接する回路ブロックに割り当てられた範囲の最低値)に相当する副電流「out1」を生成する際に、要素電流11A～11Eに加算するために用いられる。回路ブロックC-2、C-3において破線50に相当する回路についても同様に、要素電流12F、13Fを選択するための回路であり、このうち、要素電流12Fについては階調「32」に相当する副電流「out2」を生成する際に、要素電流12A～12Eに加算するために用いられる。要素電流13Fについては階調「48」に相当する副電流「out3」を生成する際に、要素電流13A～13Eに加算するために用いられる。したがって、階調「64」が存在しない本実施形態では、要素電流12A～12Eの加算和以上の副電流「out4」を必要がないので、破線50に相当する回路が回路ブロックC-4において存在しない。

【D032】回路ブロックC-1～C4により生成された副電流I.out.1～I.out.4は、合成電流ラインB2により主電流I.outとして合成されて、この主電流I.outが対応するデータ線19-4に出力されることになる。

[P033] 次に、自ドットの手をタリルニタ [m=

D5)に対して、主電流I<sub>out</sub>の値がどのようにして制御されるかについて説明する。

【00-04】まず、デジタルデータ(00~D5)が階調「0」～「15」の範囲にある場合、図7に示されるように、ビットS11~S14については、その4ビットで示される十進値(S14を最高位ビットとする)が「0」～「15」で順番に歩進するように交換される。このため、回路ブロックC1におけるスイッチ11e～11dがオフオフし、これにより要素電流I11～I14が適宜選択されて、副電流I<sub>out</sub>1が生成される。階調が「0」～「15」である場合、ビットS11~S14以外は、すべて2進で“0”となるように交換されるので、回路ブロックC2、C3、C4におけるスイッチはすべてオフとなる結果、副電流I<sub>out</sub>2、I<sub>out</sub>3、I<sub>out</sub>4はいずれもゼロとなる。したがって、階調が「0」～「15」の範囲にある場合の主電流I<sub>out</sub>1は、回路ブロックC1において要素電流I11～I14を順宜選択することによって合成した副電流I<sub>out</sub>1のみで表現されることになる。

【00-05】デジタルデータ(00~D5)が階調「16」～「31」の範囲にある場合、図8に示されるように、ビットS11~S14、S1Fについては、すべて2進で“1”となるように交換されるので、回路ブロックC1におけるスイッチ11e～11d、11eがすべてオンする結果、副電流I<sub>out</sub>1は、要素電流I11～I14、11Fの加算和で示される最大値となる。階調が「16」～「31」である場合、ビットS21~S24については、その4ビットで示される十進値(S24を最高位ビットとする)が「0」～「15」で順番に歩進するように交換される。このため、回路ブロックC2において要素電流I21～I24が適宜選択されて、副電流I<sub>out</sub>2が生成される。また、階調が「16」～「31」である場合、ビットS31～S34、S3F、S41～S44については、すべて“0”となるように交換されるので、回路ブロックC3による副電流I<sub>out</sub>3および回路ブロックC4による副電流I<sub>out</sub>4は、ともにゼロとなる。したがって、階調が「16」～「31」の範囲にある場合の主電流I<sub>out</sub>1は、回路ブロックC2において要素電流I21～I24を順宜選択することによって合成した副電流I<sub>out</sub>2に、最大値をとる副電流I<sub>out</sub>1をさらに加えたものとなる。ただし、階調が「16」であるとき(回路ブロックC2に割り当てられた範囲の最低値であるとき)、厳密に言えば、副電流I<sub>out</sub>2はゼロであるので、主電流I<sub>out</sub>1は、最大値をとる副電流I<sub>out</sub>2にI<sub>out</sub>3、I<sub>out</sub>4の和だけで示されることになる。

【00-06】デジタルデータ(00~D5)が階調「32」～「47」の範囲にある場合、図7に示されるように、ビットS11~S14、S1F、S21~S24、S2F、S31～S34、S3F、S41～S44については、すべて“1”となるように交換されるので、回路ブロックC1による副電流I<sub>out</sub>1は、要素電流I11～I14、11Fの加算和となり、回路ブロックC2による副電流I<sub>out</sub>2は、要素電流I21～I24、12Fの加算和となる。階調が

「32」～「47」である場合、ビットS31～S34については、その4ビットで示される十進値(S34を最高位ビットとする)が「0」～「15」で順番に歩進するように交換される。このため、回路ブロックC3において要素電流I31～I34が適宜選択されて、副電流I<sub>out</sub>3が生成される。なお、階調が「32」～「47」である場合、ビットS41~S44については、すべて“0”となるように交換されるので、回路ブロックC4による副電流I<sub>out</sub>4は、ゼロとなる。したがって、階調「32」～「47」の範囲にある場合の主電流I<sub>out</sub>1は、回路ブロックC1において要素電流I31～I34を順宜選択することによって合成した副電流I<sub>out</sub>3に、最大値をとる副電流I<sub>out</sub>1、I<sub>out</sub>2との和をさらに加えたものとなる。ただし、階調が「32」であるとき(回路ブロックC3に割り当てられた範囲の最低値であるとき)、厳密に言えば、副電流I<sub>out</sub>3はゼロであるので、主電流I<sub>out</sub>1は、最大値をとる副電流I<sub>out</sub>1、I<sub>out</sub>2の和で示されることになる。

【00-07】そして、デジタルデータ(00~D5)が階調「48」～「63」の範囲にある場合、図8に示されるように、ビットS11~S14、S1F、S21~S24、S2F、S31～S34、S3Fについては、すべて“1”となるように交換されるので、回路ブロックC1による副電流I<sub>out</sub>1は、要素電流I11～I14、11Fの加算和となり、回路ブロックC2による副電流I<sub>out</sub>2は、要素電流I21～I24、12Fの加算和となり、回路ブロックC3による副電流I<sub>out</sub>3は、要素電流I31～I34、13Fの加算和となる。階調が「48」～「63」である場合、ビットS41~S44については、その4ビットで示される十進値(S44を最高位ビットとする)が「0」～「15」で順番に歩進するように交換される。このため、回路ブロックC4において要素電流I41～I44が適宜選択されて、副電流I<sub>out</sub>4が生成される。したがって、階調「48」～「63」の範囲にある場合の主電流I<sub>out</sub>1は、回路ブロックC1において要素電流I41～I44を順宜選択することによって合成した副電流I<sub>out</sub>4に、最大値をとる副電流I<sub>out</sub>1、I<sub>out</sub>2、I<sub>out</sub>3の和をさらに加えたものとなる。ただし、階調が「48」であるとき(回路ブロックC4に割り当てられた範囲の最低値であるとき)、厳密に言えば、副電流I<sub>out</sub>4はゼロであるので、主電流I<sub>out</sub>1は、最大値をとる副電流I<sub>out</sub>1、I<sub>out</sub>2、I<sub>out</sub>3の和だけで示されることになる。

【00-08】電源回路が電圧V1～V4をV1<V2<V3<V4という大小関係にて生成すると、基準電圧生成回路320により生成される基準電圧V<sub>CS1</sub>～V<sub>CS4</sub>(V<sub>CF1</sub>～V<sub>CF4</sub>)は、V<sub>CS1</sub><V<sub>CS2</sub><V<sub>CS3</sub><V<sub>CS4</sub>(V<sub>CF1</sub><V<sub>CF2</sub><V<sub>CF3</sub><V<sub>CF4</sub>)という大小関係となる。この関係において、回路ブロックC1～C4における要素電流I11～I14、I21～I24、I31～I34、I41～I44が

それでは例えば図12に示されるような値をどう場合、デジタルデータ(00~05)の階調「0」～「6.3」に対する主電流I<sub>out</sub>はそれぞれ図13に示される値となる。また、その階調／主電流の特性は、図14に示されるように、Y曲線を、4つの直線により模擬したものとなる。

【0039】このような特性となる点について詳述する。まず、階調が「0」～「1.5」の範囲にある場合の主電流I<sub>out</sub>は、回路ブロックC1において要素電流I<sub>11</sub>～I<sub>14</sub>、I<sub>2</sub>Fを適宜選択することによって合成した副電流「out」のみとなるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において階直線特性となり、その傾きは、基準電圧V<sub>C S1</sub> (V<sub>S F1</sub>) の大きさで定まることになる。なお、要素電流I<sub>11</sub>、I<sub>2</sub>Fの重みはともに「1」であるので、階調が「1.5」のときの主電流I<sub>out</sub>は、階調が「0」～「1.5」の特性の延長線上にある。次に、階調が「1.5」～「3.2」の範囲にある場合の主電流I<sub>out</sub>は、回路ブロックC1において最大値となる副電流「out」1に、回路ブロックC2において要素電流I<sub>21</sub>～I<sub>24</sub>、I<sub>2</sub>Fを適宜選択して合成した副電流「out」2を、加算した値となるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において階直線特性となり、かつ、階調が「0」～「1.5」の範囲にある場合の階直線特性と連続性を有することになる。さらに、階調が「1.5」～「3.2」の範囲にある場合における主電流I<sub>out</sub>の傾きは、基準電圧V<sub>C S2</sub> (V<sub>S F2</sub>) の大きさで定ることになる。なお、要素電流I<sub>21</sub>～I<sub>24</sub>の重みはともに「1」であるので、階調が「3.2」のときの主電流I<sub>out</sub>は、階調が「1.5」～「3.2」の特性の延長線上にある。続いて、階調が「3.2」～「4.8」の範囲にある場合の主電流I<sub>out</sub>は、最大値となる副電流「out」1、I<sub>out</sub>2に、回路ブロックC3において要素電流I<sub>31</sub>～I<sub>34</sub>、I<sub>3</sub>Fを適宜選択して合成した副電流「out」3を、加算した値となるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において階直線特性となり、かつ、階調が「1.5」～「3.2」の範囲にある場合の階直線特性と連続性を有することになる。さらに、階調が「3.2」～「4.8」の範囲にある場合における主電流I<sub>out</sub>の傾きは、基準電圧V<sub>C S3</sub> (V<sub>S F3</sub>) の大きさで定ることになる。そして、階調が「4.8」～「6.3」の範囲にある場合の主電流I<sub>out</sub>は、最大値となる副電流「out」1、I<sub>out</sub>2、I<sub>out</sub>3に、回路ブロックC4において要素電流I<sub>41</sub>～I<sub>44</sub>を適宜選択して合成した副電流「out」4を、加算した値となるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において階直線特性となり、かつ、階調が「3.2」～「4.8」の範囲にある場合の階直線特性と連続性を有することになる。さらに、階調が「4.8」～「6.3」の範囲にある場合における主電流I<sub>out</sub>の傾きは、基準電圧V<sub>C S4</sub> (V<sub>S F4</sub>) の大きさで定ることになる。

【0040】したがって、電圧V<sub>1</sub>～V<sub>4</sub>によって、基準電圧生成回路3.2Dにより生成される基準電圧V<sub>C S1</sub>～V<sub>C S4</sub> (V<sub>C F1</sub>～V<sub>C F4</sub>) の大小関係を操作すると、階調に対する主電流I<sub>out</sub>の特性を種々に設定することが可能となる。例えば、V<sub>C S1</sub>=V<sub>C S2</sub>=V<sub>C S3</sub>=V<sub>C S4</sub>にすると、主電流I<sub>out</sub>は、図15に示されるように、「0」～「5.3」の階調の全場に亘って階直線的に増加し、その傾きは、V<sub>C S1</sub> (=V<sub>C S2</sub>=V<sub>C S3</sub>=V<sub>C S4</sub>) に応じて変化する。また、V<sub>C S1</sub>>V<sub>C S2</sub>>V<sub>C S3</sub>>V<sub>C S4</sub>にすると、主電流I<sub>out</sub>の特性は、図16に示されるようなものとなる。さらに、V<sub>C S1</sub> (=V<sub>C S4</sub>) >V<sub>C S2</sub> (=V<sub>C S3</sub>) にすると、主電流I<sub>out</sub>の特性は、図17に示されるようなものとなる。

【0041】なお、基準電圧生成回路3.2Dにより生成される基準電圧V<sub>C S1</sub>～V<sub>C S4</sub> (V<sub>C F1</sub>～V<sub>C F4</sub>) の大小関係を操作するためには、電源回路7による電圧V<sub>1</sub>～V<sub>4</sub>を個別に設定すれば良いが、例えば、電圧V<sub>1</sub>を個別に設定するための構成としては、例えば図18に示される例が挙げられる。すなわち、オペアンプA1の出力を、可変抵抗器7-3および抵抗器7-5を用いて負帰還入力とした構成が一例として挙げられる。他の電圧V<sub>2</sub>、V<sub>3</sub>、V<sub>4</sub>について同様である。なお、この構成においては、可変抵抗器7-3における抵抗値を、手動で調整しても良いし、アナログスイッチによって調整しても良い。

【0042】このような電流生成回路3.0によれば、階調に対する主電流の特性を4つの連続する階直線によって表現するので、表示パネル7-1におけるY特性を、目的や用途に応じては々々形で模擬することが可能となる。さらに、この電流生成回路によれば、V<sub>1</sub>～V<sub>4</sub>の合計4種類の基準電圧とロジック電源電圧とで64種類の主電流I<sub>out</sub>を生成することができるので、必要な電圧源の数が非常に少なくて済む。そのため、構成がシンプルであり、低消費電力化が図られるとともに、その耐久性が高められることになる。

【0043】なお、この電流生成回路は、64階調に対する主電流I<sub>out</sub>を、回路ブロックC1～C4による4つの副電流「out」1～「out」4で合成する構成としたが、回路ブロックの数を増やして（1つの回路ブロックFET-T1-D1～1-D1等の数を減じて）、より滑らかな非線形特性を実現しても良いし、反対に、回路ブロックの数を減じて（1つの回路ブロックFET-T1-D1～1-D1等の数を増やして）、交換回路3.1Dにおける負担に当する負担が小さくなるようにしても良い（回路ブロックのスイッチのオンオフを規定するデータ総数が少なくなる）。また、上記回路ブロックでは、要素電流を生成するのにFETを使用しているが、バイポーラ型のトランジスタでも構成できることはもちろんである。

【0044】本発明は、上述した実施形態に限らず、

種々の応用、変形が可能である。上述した実施形態では、主電流  $I_{out}$  は、階調が「0」であるときに基底値としてゼロをとるが（図 1-3 参照）、図 1-9 に示されたようなオフセット電流回路 5-1 を別途設けて、電圧  $V_O$  により主電流  $I_{out}$  の下限値を規定する構成としても良い。この構成では、オフセット電流回路 5-1 に流れる電流が、副電流  $I_{out1} \sim I_{out4}$  の和にオフセットされて、主電流  $I_{out}$  として合成される。このため、主電流  $I_{out}$  の基底値をゼロではなく、当該下限値とすることができる。

【0-0-4-5】実施形態では、走査線 1-0-2 が選択されたとき<sup>12</sup>、当該走査線 1-0-2 に位置する画素回路 1-1-0 の有機EL素子 1-1-3-0 に流すべき電流を、データ線 1-0-4 を介して供給する構成である。ここで、表示パネル 1 のサイズが大きくなると、データ線 1-0-4 に発生する容量が増大し、これにより、必要な主電流  $I_{out}$  を直ちに供給できなくなる。高速駆動が困難となる。という不都合が発生する。そこで、この不都合を解消するため、例えば図 2-0-1 に示されるように、データ線 1-0-4 毎にプリチャージ回路 5-3 を設けても良い。このプリチャージ回路 5-3 は、ゲート電圧  $V_{pre}$  に応じたプリチャージ電流  $I_p$  を流すためのFET 5-3-2 と、データ線 1-0-4 に主電流  $I_{out}$  を流す前に信号  $D_p$  にしたがってオンして、プリチャージ電流  $I_p$  をデータ線 1-0-4 に流して、データ線 1-0-4 をそのプリチャージするスイッチ 5-3-4 とを含む。このように、主電流  $I_{out}$  を流す前にデータ線 1-0-4 をプリチャージするといつて、このようなプリチャージ回路 5-3 が存在しないときと比較して、データ線 1-0-4 に流れる電流が目標とする主電流  $I_{out}$  に達する期間を短くすることができ、したがって、より高速な駆動が可能となる。

【0-0-4-6】また、実施形態において、発光制御信号  $V_{e1}, V_{e2}, V_{e3}, \dots, V_{em}$  については、走査線駆動回路 2 が走査信号  $Y_1, Y_2, Y_3, \dots, Y_m$  の論理レベルを反転して供給する構成としたが、別個の回路により供給する構成としても良いし、発光制御信号  $V_{e1}, V_{e2}, V_{e3}, \dots, V_{em}$  のアクティフレベル（H レベル）となる期間を一括して決める方向に制御する構成としても良い。

【0-0-4-7】以上説明した実施形態に係る電気光学装置 1-0-0 は、本件の特徴部分である電流生成回路 3-0 を、有機ELパネルのデータ線駆動回路 1 に適用したものであるが、当該電流生成回路 3-0 については、有機ELパネル以外の表示パネル、例えば、FED (Field Emission Display)などの他の種々な表示パネルにも適用することができる。

【0-0-4-8】つづいて、実施形態に係る電気光学装置 1-0-0 を適用した電子機器のいくつかの事例について説明する。図 2-1 は、この電気光学装置 1-0-0 を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図で

ある。この図において、パーソナルコンピュータ 2-1-0-0 は、キーボード 2-1-0-2 を備えた本体 2-1-0-4 と、表示ユニットとしての電気光学装置 1-0-0 とを備えている。

【0-0-4-9】また、図 2-2 は、前述の電気光学装置 1-0-0 を適用した携帯電話機の構成を示す斜視図である。この図において、携帯電話機 2-2-0-0 は、複数の操作ボタン 2-2-0-2 のほか、受話口 2-2-0-3、送話口 2-2-0-6 とともに、前述の電気光学装置 1-0-0 を備えている。

【0-0-5-0】図 2-3 は、前述の電気光学装置 1-0-0 をファインダに適用したデジタルスチルカメラの構成を示す斜視図である。銀塩カメラは、被写体の光像によってフィルムを感光させるのにに対し、デジタルスチルカメラ 2-3-0-0 は、被写体の光像を CCD (Charge Coupled Device) などの検像素子により光电変換して摄像信号を生成・記憶するものである。ここで、デジタルスチルカメラ 2-3-0-0 における本体 2-3-0-2 の背面には、前述した電気光学装置 1-0-0 が設けられている。この電気光学装置 1-0-0 は、摄像信号に基づいて表示を行うので、被写体を表示するファインダとして機能することになる。また、本体 2-3-0-2 の前面側（図 2-3 においては裏面側）には、光学レンズや CCDなどを含んだ受光ユニット 2-3-0-4 が設けられている。

【0-0-5-1】撮影者が電気光学装置 1-0-0 に表示された被写体像を確認して、シャッターボタン 2-3-0-6 を押下すると、その時点における CCD の摄像信号が、回路基板 2-3-0-8 のメモリに転送・記憶される。また、このデジタルスチルカメラ 2-3-0-0 において、ケース 2-3-0-2 の側面には、外部表示を行うためのビデオ信号出力端子 2-3-1-2 と、データ通信用の入出力端子 2-3-1-4 が設けられている。

【0-0-5-2】なお、電気光学装置 1-0-0 が適用される電子機器としては、図 2-1 に示されるパーソナルコンピュータや、図 2-2 に示される携帯電話機、図 2-3 に示されるデジタルスチルカメラの他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビレーション装置、ベーシャ、電子手帳、電子ワードプロセッサ、ワークステーション、テレビ電話、PDA 端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した電気光学装置 1-0-0 が適用可能であることは言うまでもない。

【0-0-5-3】

【発明の効果】以上説明したように本発明に係る電流生成回路によれば、回路構成をシングル化し、かつ、消費電力を少なく抑えることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施形態による電気光学装置の構成を示すブロックである。

【図 2】 同電気光学装置における画素回路の構成を示す

す図である。

【図3】 同電流生成回路等の動作を説明するためのタイミングチャートである。

【図4】 同電気光学装置のデータ線駆動回路に含まれる電流生成回路の構成を示すブロック図である。

【図5】 同電流生成回路における交換回路の交換内容を示す図である。

【図6】 同電流生成回路における交換回路の交換内容を示す図である。

【図7】 同電流生成回路における交換回路の交換内容を示す図である。

【図8】 同電流生成回路における交換回路の交換内容を示す図である。

【図9】 同交換回路の一例を示す図である。

【図10】 同電流生成回路における基準電圧生成回路を示す図である。

【図11】 同電流生成回路における電流選択回路の構成を示す図である。

【図12】 同電流生成回路による要素電流の一例を示す図である。

【図13】 同電流生成回路による主電流の一例を示す図である。

【図14】 同電流生成回路において階調と主電流との特性を示す図である。

【図15】 同電流生成回路において階調と主電流との

特性を示す図である。

【図16】 同電流生成回路において階調と主電流との特性を示す図である。

【図17】 同電流生成回路において階調と主電流との特性を示す図である。

【図18】 同電流回路における電圧V<sub>11</sub>等を生成するための一例を示す図である。

【図19】 同電流生成回路の応用例を示す図である。

【図20】 同電流生成回路の応用例を示す図である。

【図21】 同電気光学装置を適用したモバイル型のハイノーラルコンピュータの構成を示す斜視図である。

【図22】 同電気光学装置を適用した携帯電話機の構成を示す斜視図である。

【図23】 同電気光学装置を適用したデジタルスチルカメラの構成を示す斜視図である。

【図24】 往來の電流生成回路の構成を示す図である。

【符号の説明】

C-1～C-4：回路ブロック

I11～I14, I1F, I21～I24, I2F, I31～I34, I3F, I41～

I4F：要素電流

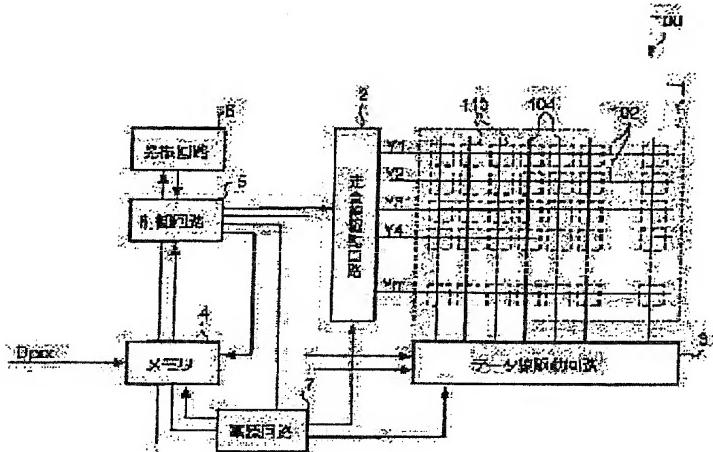
I<sub>out</sub>1～I<sub>out</sub>4：副電流

I<sub>out</sub>：主電流

S11～S14, S1F, S21～S24, S2F, S31～S34, S3F, S41～

S44：ビット

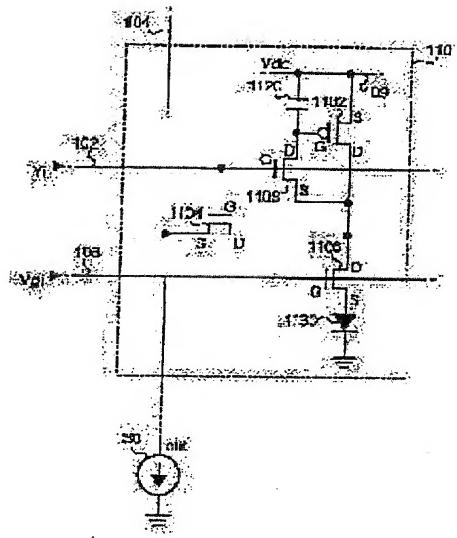
【図1】



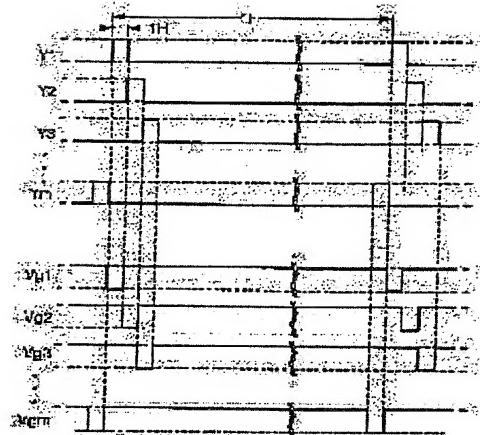
【図1-21】

要素電流	値
I11	-5
I12	-3.5
I13	-8.5
I14	12.5
I1F	7.5
I21	4.75
I22	0.5
I23	0.0
I24	38.0
I2F	4.75
I31	21.14
I32	48.25
I33	98.5
I34	21.93
I3F	24.13
I41	81.86
I42	22.4
I43	248.7
I4F	493.4

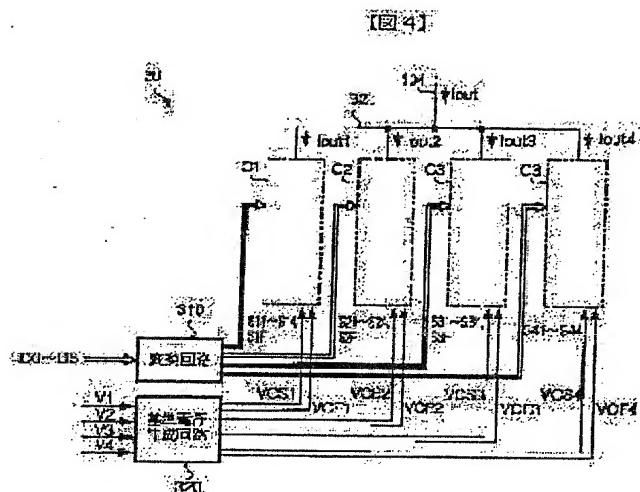
[図2]



[図3]



[図1.3]

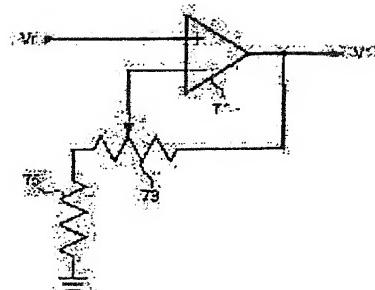


周波数	主電源	F1.3	主電流
0	0	32	1000
1	15	33	124.1
2	3.0	34	148.5
3	1.5	35	172.4
4	0.6	36	196.5
5	7.5	37	220.6
6	8.0	38	244.6
7	10.6	39	268.9
8	12.0	40	292.0
9	13.5	41	317.1
10	15.0	42	341.8
11	16.5	43	365.4
12	18.0	44	389.5
13	19.5	45	413.6
14	21.0	46	437.8
15	22.5	47	461.9
16	24.0	48	486.0
17	25.2	49	517.7
18	25.5	50	506.7
19	26.3	51	571.0
20	43.0	52	732.7
21	47.0	53	794.7
22	52.5	54	856.1
23	57.5	55	917.8
24	62.0	56	979.4
25	68.0	57	1041.1
26	74.0	58	1102.3
27	76.0	59	1164.3
28	81.0	60	1226.2
29	81.8	61	1287.3
30	90.0	62	1349.5
31	95.0	63	1411.2

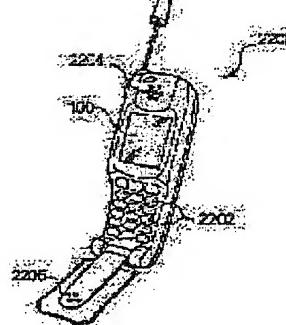
[図5]

番号	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	I3	I2	I1	I0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
2	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
3	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0
5	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
6	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
7	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
8	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
9	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
10	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
11	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0
12	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
13	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0
14	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0
15	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1

[図1-8]



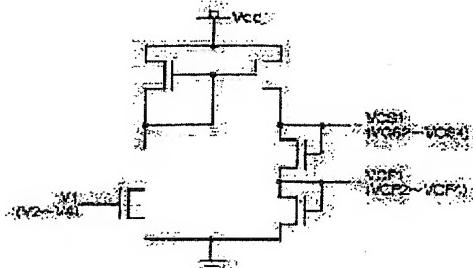
[図2-21]



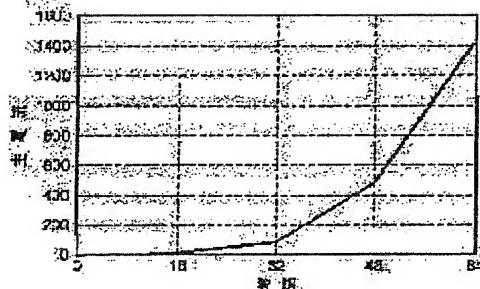
[図6]

番号	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	I3	I2	I1	I0
16	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1
17	0	1	0	0	0	1	0	0	0	0	0	0	1	1	1
18	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
19	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
20	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
21	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
22	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
23	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
24	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
25	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
26	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
27	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
28	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
29	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
30	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1
31	0	1	0	0	1	0	0	0	0	0	0	0	1	1	1

[図1-01]



[図1-4]



[図7]

185	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	S24	S23	S22	S21	S19	S18	S17	S16	S15	S14
32	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
33	1	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
34	1	0	0	0	1	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1
35	1	0	0	0	2	1	1	2	0	0	0	0	0	1	1	1	1	1	1	1	1
36	1	0	0	0	2	1	1	2	0	0	0	0	0	1	1	1	1	1	1	1	1
37	1	0	0	0	2	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
38	1	0	0	0	2	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
39	1	0	0	0	2	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
40	1	0	0	0	2	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
41	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
42	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
43	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
44	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
45	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
46	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
47	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1

[図8]

186	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	S24	S23	S22	S21	S19	S18	S17	S16	S15	S14
48	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
49	1	0	0	0	0	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1
50	1	1	0	0	1	0	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1
51	1	1	0	0	1	1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1
52	1	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1
53	1	1	0	1	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
54	1	1	0	1	1	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1
55	1	1	0	1	1	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
56	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
57	1	1	1	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
58	1	1	1	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
59	1	1	1	0	0	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
60	1	1	1	1	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
61	1	1	1	1	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
62	1	1	1	1	0	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1
63	1	1	1	1	0	1	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1

[図15]

[図16]

